

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-037624

(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

H03K 19/0185

(21)Application number : 04-185382

(71)Applicant : NEC CORP

(22)Date of filing : 13.07.1992

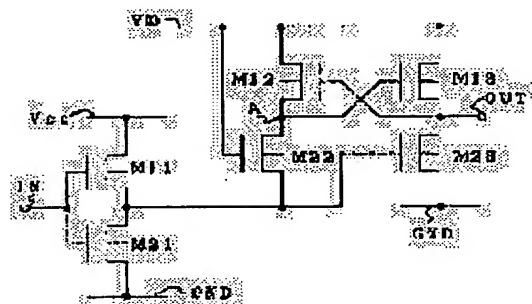
(72)Inventor : KOYADA HIROSHI

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To attain the high speed of a level conversion, and to reduce a chip occupancy area by reducing the number of steps by controlling a flip flop constituted of P and N type MOS transistors by controlling one gate and the other source of the two MOS transistors of the flip flop.

CONSTITUTION: A CMOS inverter which receives a low voltage input signal is constituted of MOS transistors M11 and M21, and connected to a low voltage power source Vcc. The capacity of N channel MOS transistors M21, M22, and M23 is set higher than P channel MOS transistors M11, M12, and M13. When the input of the inverter is a low level, the output is a high level, an output terminal OUT is the high level for the capacity of the M23 is higher than the M13, and a low voltage input level is converted into a high voltage output level. Thus, the inverter of one stage can be obtained, so that the high speed of a converting speed can be attained, and the chip occupancy area can be reduced.



LEGAL STATUS

[Date of request for examination] 28.06.1996

[Date of sending the examiner's decision of rejection] 06.04.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)【発行国】日本国特許庁(JP)

(12)公開特許公報(A)

(11)【公開番号】特開平6-37624
(43)【公開日】平成6年(1994)2月10日

(51) 【國際特許分類第 5 版】

H03K 19/0185

【F I】

H03K 19/00 101 E 8941-5J

【審査請求】未請求【請求項の数】2【全頁数】3

(21)【出願番号】特願平4-185382

(22)【出願日】平成4年(1992)7月13日

(71)【出願人】

【識別番号】000004237

【氏名又は名称】日本電気株式会社

【住所又は居所】東京都港区芝五丁目7番1号

(72)【発明者】

【氏名】古谷田 宏

【住所又は居所】東京都港区芝五丁目7番1号日本電気株式会社内

(74)【代理人】

【弁理士】

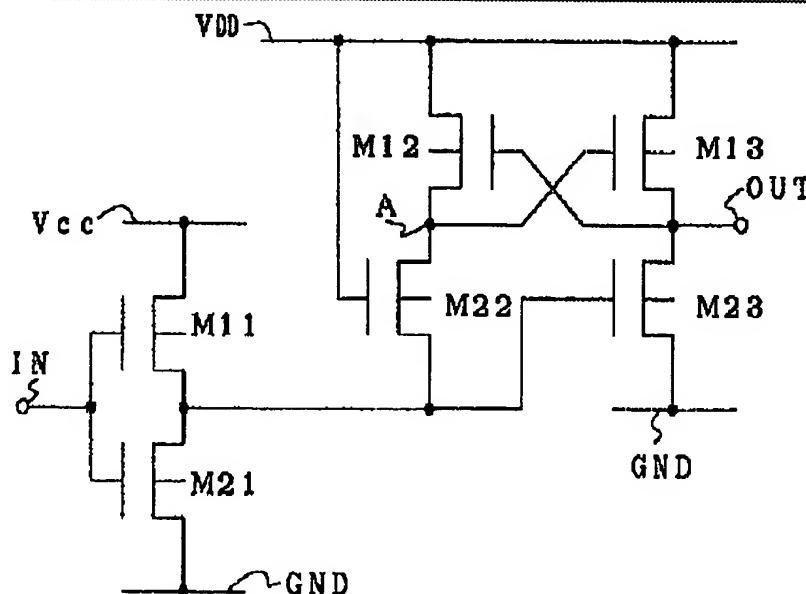
【氏名又は名称】能谷 雄太郎

(54)【発明の名称】レベル変換回路

(57)【要約】

【目的】異なる2電源間で信号の伝達を行うレベル変換回路における、レベル変換時間の高速化およびチップ占有面積の低減を図る。

【構成】第1の低電圧電源Vccに接続され、低電圧信号入力を受けるMOSトランジスタM11、M21からなるCMOSインバータと、PチャンネルMOSTランジスタM12、M13のソースが第2の高電圧電源VDDに、各々のゲートが互いのドレインにたすきがけに接続され、各々のドレインにはNチャンネルMOSTランジスタM22、M23のドレインが接続されたフリップフロップからなっている。そして、NチャンネルMOSTランジスタM22のゲートは第2の高電圧電源に、ソースはインバータに接続され、NチャンネルMOSTランジスタM23のソースは接地され、ゲートはインバータに接続されている。



Vcc: 第1の電源電圧端子

VDD : 第2の電源電圧端子

GND: 共通端子

OUT: 出力端子

A: 内部節点

Y.N. = 1 力能子

【特許請求の範囲】

【請求項1】第1の電源が供給され、
第1および第2のMOSTランジスタで

構成されたインバータと、第2の電源

が供給され、各々のゲートをたすきがけされた第3および第4のMOSTランジスタと前記トランジスタの各々のドレインに接続された第5および第6のMOSTランジスタで構成されたフリップフロップとを有し、前記第5および第6のMOSTランジスタの一方のゲートおよび他方のソースを前記インバータに接続したことを特徴とするレベル変換回路。

【請求項2】 前記インバータをNORゲートもしくはNANDゲートとしたことを更に特徴とする請求項1に記載のレベル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、レベル変換回路に関し、特に、異なる電源電圧間で信号の伝達を行うレベル変換回路に関する。

【0002】

【従来の技術】従来のこの種のレベル変換回路としては、たとえば図2に示すようなものが知られている。図において、M12、M13はPチャンネルMOSTランジスタ、M22、M23はNチャンネルMOSTランジスタである。トランジスタM12とトランジスタM13のゲートはたすきがけされ、トランジスタM22、M23とともにフリップフロップを構成し、トランジスタM22、M23のゲート低電圧入力を高電圧出力に変換している。

【0003】

【発明が解決しようとする課題】上述した従来のレベル変換回路は、フリップフロップを構成するトランジスタおよびフリップフロップをコントロールする2段のインバータを構成するトランジスタの計8個のトランジスタからなり、多くのトランジスタを必要とする欠点があった。

【0004】また、レベル変換に要する段数も多く、tpdが遅いという欠点があった。

【0005】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記諸欠点を解消することを可能とした新規なレベル変換回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成する為に、本発明に係るレベル変換回路は、第1の電源が供給され、第1および第2のMOSTランジスタで構成されたインバータと、第2の電源が供給され、各々のゲートをたすきがけされた第3および第4のMOSTランジスタと前記第3および第4のトランジスタの各々のドレインに接続された第5および第6のMOSTランジスタで構成されたフリップフロップとを有し、前記第5および第6のMOSTランジスタの一方のゲートおよび他方のソースを前記インバータに接続した構成を有している。

【0007】

【作用】本発明では、フリップフロップの制御は、フリップフロップを構成する第5および第6のMOSTランジスタの一方のゲートとともに他方はソースをコントロールすることにより、レベル変換に要する段数を減らしtpdを改善している。

【0008】

【実施例】以下、本発明をその好ましい一実施例について図面を参照しながら具体的に説明する。

【0009】図1は本発明に係るレベル変換回路の一実施例を示す回路構成図である。

【0010】図において、M11、M12、M13はPチャンネルMOSTランジスタ、M21、M22、M23はNチャンネルMOSTランジスタをそれぞれ示している。

【0011】MOSTランジスタM11、M21は、低電圧入力信号を受けるCMOSインバータを構成し、第1の低電圧電源V_{cc}に接続されている。

【0012】PチャンネルMOSTランジスタM12、M13はソースが第2の高電圧電源V_{DD}に、各々のゲートが互いのドレインにたすきがけに接続され、各々のドレインにはNチャンネルMOSTランジスタM22、M23のドレインがそれぞれ接続されている。NチャンネルMOSTランジスタM22のゲートは第2の高電圧電源に、ソースは前述のインバータの出力に接続され、NチャンネルMOSTランジスタM23のソースは共通端子に接地され、ゲートは前述のインバータの出力に接続されている。

【0013】ここで、各トランジスタの能力は次のように設定される。すなわち、PチャンネルMOSTランジスタM12、M13に対して、NチャンネルMOSTランジスタM21、M22のシリーズおよびM23のそれぞれの能力をより大きく設定する。例えば、PチャンネルMOSTランジスタM11、M12、M13のチャンネル幅を15ミクロン、NチャンネルMOSTランジスタのチャンネル幅を30ミクロンとする。

【0014】いま、インバータの入力を“ロウ”レベルとすると、出力は“ハイ”レベルとなり、PチャンネルMOSTランジスタM13に比べてNチャンネルMOSTランジスタM23の能力が大きいために出力端子OUTは“ロウ”レベルとなり、内部節点Aは“ハイ”レベルとなる。また、インバータの出力が“ロウ”

レベルの時には同様に内部節点Aは“ロウ”レベルとなり、出力端子OUTは“ハイ”レベルとなる。このように、本動作により低電圧入力レベルは高電圧出力レベルに変換される。

【0015】本実施例では、従来例の図2に示す回路に比ベインバータを1段で済ますことができる。すなわち、インバータの段数を減らすことによりレベル変換のスピードを高速にすることができる。ちなみに、現在の最先端デバイスである1ミクロンクラスのMOSTランジスタを用いると、レベル変換に要するtpdは、従来の回路の約2.7nSに対し本実施例の回路では約2.5nSと約20%の高速化が図れる。

【0016】また、使用するトランジスタの数を8個から6個に削減することができる。

【0017】なお、上記実施例ではOUTを出力端子としているが、内部節点Aを出力端子とすることは勿論、両節点を相補出力として用いることができることは言うまでもないことである。

【0018】

【発明の効果】以上述べた如く、本発明によれば、異なる電源電圧間の信号のレベル変換の高速化を図り、なおかつチップの占有面積を低減させることができる。

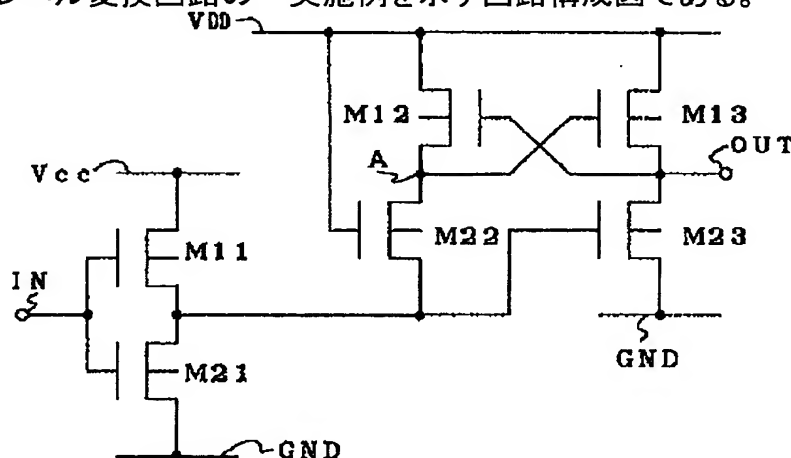
【図面の簡単な説明】

【図1】本発明に係るレベル変換回路の一実施例を示す回路構成図である。

【図2】従来におけるレベル変換回路の回路図である。

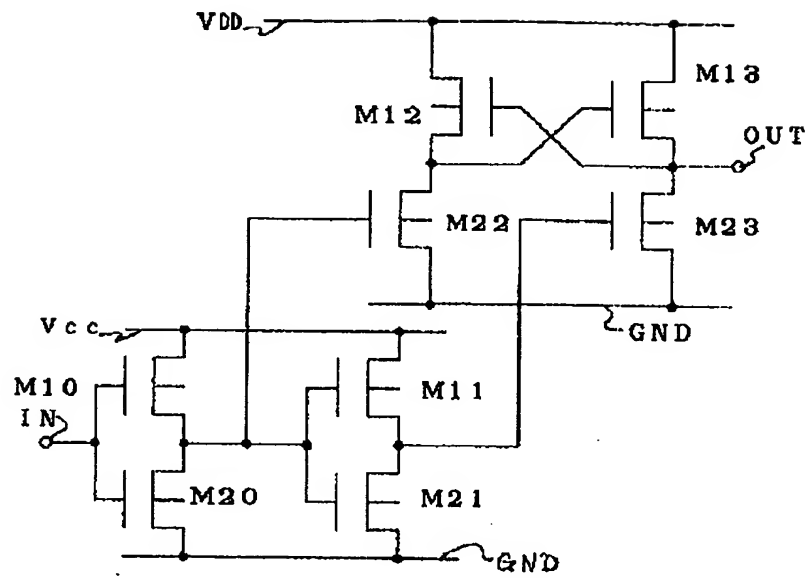
【符号の説明】M10～M13…PチャンネルMOSTランジスタM20～M23…NチャンネルMOSTランジスタA…内部節点IN…入力端子OUT…出力端子Vcc…第1の電源電圧端子VDD…第2の電源電圧端子GND…共通端子

【図1】本発明に係るレベル変換回路の一実施例を示す回路構成図である。



Vcc: 第1の電源電圧端子
VDD: 第2の電源電圧端子
GND: 共通端子
OUT: 出力端子
A: 内部節点
IN: 入力端子
M11～M13: PチャンネルMOSTランジスタ
M21～M23: NチャンネルMOSTランジスタ

【図2】従来におけるレベル変換回路の回路図である。



M10 : PチャンネルMOSトランジスタ
M20 : NチャンネルMOSトランジスタ